

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-303842

(43)Date of publication of application : 13.11.1998

(51)Int.Cl. H04J 3/06  
H04J 3/00  
H04L 7/08

(21)Application number : 09-107703

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 24.04.1997

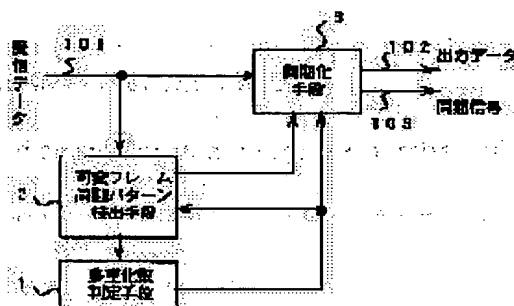
(72)Inventor : NAGATAKE EIJI  
KUBO KAZUO

## (54) FRAME SYNCHRONIZATION CIRCUIT, INTERFACE DEVICE AND REPEATER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To establish frame synchronization automatically even when a multiplex number of a transmission signal is changed by setting automatically a frame synchronization pattern with respect to various multiplex data having repetitive frame synchronization patterns whose length and period differ from each other.

**SOLUTION:** A multiplex number discrimination means 1 discriminates a multiplex number of received data 10 from a frame synchronization pattern in the received data 10, a variable frame synchronization pattern detection means 2 sets a comparison pattern corresponding to the multiplex number based on the result of decision of the multiplex number, detects the frame synchronization pattern from the received data and provides an output of the frame synchronization pattern detection result. A synchronization means 3 confirms a frame phase of the received data 10 according to the frame synchronization pattern detection result and the multiplex number decision result to establish the frame synchronization of output data 102.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-303842

(43)公開日 平成10年(1998)11月13日

(51)Int.Cl.<sup>8</sup>

識別記号

F I

H 0 4 J 3/06

H 0 4 J 3/06

A

3/00

3/00

V

H 0 4 L 7/08

H 0 4 L 7/08

A

審査請求 未請求 請求項の数7 O L (全 10 頁)

(21)出願番号

特願平9-107703

(22)出願日

平成9年(1997)4月24日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 長竹 栄二

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 久保 和夫

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

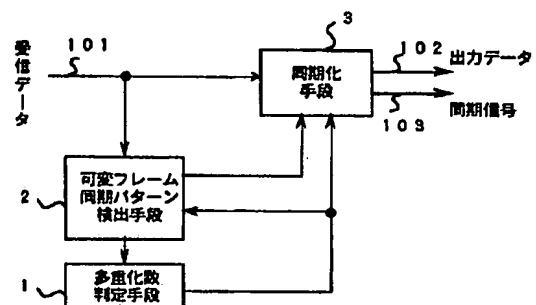
(74)代理人 弁理士 宮田 金雄 (外2名)

(54)【発明の名称】 フレーム同期回路、インタフェース装置及び中継器

(57)【要約】

【課題】 長さおよび周期が異なる繰り返しフレーム同期パターンを持つ種々の多重化データに対してフレーム同期パターンを自動的に設定することにより、伝送信号の多重化数が変わった場合でも自動的にフレーム同期を確立する。

【解決手段】 受信データに対し多重化数判定手段は受信データ中のフレーム同期パターンより受信データの多重化数を判定し、多重化数判定結果を基に可変フレーム同期パターン検出手段は、多重化数に対応する比較パターンを設定するとともに受信データから該フレーム同期パターンを検出し、フレーム同期パターン検出結果を出力する。同期化手段はフレーム同期パターン検出結果と多重化数判定結果とに従い受信データのフレーム位相を確定し出力データのフレーム同期を確立する。



## 【特許請求の範囲】

【請求項1】 多重化数 $n$  ( $n$ は1以上の整数) に対して長さおよび発生周期がそれぞれ異なる繰り返しフレーム同期パターンを持つ多重化信号を受信してフレーム同期を確立するフレーム同期回路において、受信信号中のフレーム同期パターンから前記多重化信号の多重化数を判定する多重化数判定手段と、

前記受信信号と前記多重化数判定手段からの判定結果に基づいて多重化数 $n$ に対応して決まるフレーム同期パターンを検出する可変フレーム同期パターン検出手段と、  
前記フレーム同期パターン検出手段の検出結果と前記多重化数判定手段の判定結果とに基づいてフレーム位相を確定し出力信号のフレーム同期を確立する同期化手段とを有することを特徴とするフレーム同期回路。

【請求項2】 多重化数 $n$  ( $n$ は1以上の整数) に対して長さおよび発生周期がそれぞれ異なる繰り返しフレーム同期パターンを持つ多重化信号を受信してフレーム同期を確立するフレーム同期回路において、  
前記多重化信号を受信し1対 $M$ に直並列変換して $M$ 並列信号を出力する1対 $M$ 直並列変換部と、  
前記1対 $M$ 直並列変換部からの $M$ 並列信号中のフレーム同期パターンから前記多重化信号の多重化数を判定する多重化数判定手段と、  
前記1対 $M$ 直並列変換部からの $M$ 並列信号と前記多重化数判定手段からの判定結果に基づいて多重化数 $n$ に対応して決まるフレーム同期パターンを検出する可変フレーム同期パターン検出手段と、  
そのフレーム同期パターン検出結果と前記多重化数判定手段からの多重化数判定結果に基づいて前記 $M$ 並列信号の信号列を入れ替えて位相を制御しフレーム同期を確立する信号列入替部とを有することを特徴とするフレーム同期回路。

【請求項3】 多重化数 $n$  ( $n$ は1以上の整数) に対して長さおよび発生周期がそれぞれ異なる繰り返しフレーム同期パターンを持つ多重化信号を受信してフレーム同期を確立するフレーム同期回路において、  
前記多重化信号を受信し1対 $M$ に直並列変換して $M$ 並列信号として出力する1対 $M$ 直並列変換部と、  
前記1対 $M$ 直並列変換部からの $M$ 並列信号中のフレーム同期パターンから前記多重化信号の多重化数を判定する多重化数判定手段と、  
前記1対 $M$ 直並列変換部からの $M$ 並列信号に対して前記多重化数判定手段からの判定結果に基づいて多重化数 $n$ に対応して決まるフレーム同期パターンを検出する可変フレーム同期パターン検出手段と、  
そのフレーム同期パターン検出結果と前記多重化数判定手段の多重化数判定結果とに基づいて前記1対 $M$ 直並列変換部の位相をシフトし $M$ 並列信号の位相を制御してフレーム同期を確立するシフト制御手段を有することを特徴とするフレーム同期回路。

【請求項4】 前記多重化数判定手段は、多重化信号中にあるフレーム同期パターンのパターン長を検出するフレーム同期パターン長検出部と、その検出したフレーム同期パターンのパターン長に基づいて受信信号の多重化数を判定する多重化数判定部とを有することを特徴とする請求項1、2または3に記載のフレーム同期回路。

【請求項5】 前記多重化数判定手段は、多重化信号中にあるフレーム同期パターンのパターン発生周期を検出するフレーム同期パターン発生周期検出部と、その検出したフレーム同期パターンのパターン発生周期に基づいて受信信号の多重化数を判定する多重化数判定部とを有することを特徴とする請求項1、2または3に記載のフレーム同期回路。

【請求項6】 多重化数 $n$ に対して長さおよび発生周期がそれぞれ異なる繰り返しフレーム同期パターンを持つ多重化信号の送受信を行うインタフェース装置において、  
送信装置は、送信側の位相に同期して前記多重化信号の管理情報領域であるオーバーヘッドの発生処理をした送信信号を出力するオーバーヘッド発生部と、  
前記オーバーヘッド発生部が出力した送信信号を電気信号から光信号に変換する電気／光変換部とを有し、  
受信装置は、受信した光信号を電気信号に変換する光／電気変換部と、  
前記光／電気変換部が電気信号に変換した受信信号の多重化数を判定し自動的にフレーム同期を確立する請求項1～5のいずれかに記載のフレーム同期回路と、  
前記フレーム同期回路からの出力信号と同期検出結果に基づいてオーバーヘッドの終端処理を行うオーバーヘッド終端部とを有することを特徴とするインタフェース装置。

【請求項7】 多重化数 $n$ に対して長さおよび発生周期がそれぞれ異なる繰り返しフレーム同期パターンを持つ多重化信号を光信号として受信して各種処理の後で再び光信号として出力する中継器において、  
受信した光信号を電気信号に変換する光／電気変換部と、  
前記光／電気変換部が電気信号に変換した受信信号の多重化数を判定しフレーム同期を確立し出力信号と同期検出結果を出力する請求項1～5のいずれかに記載のフレーム同期回路と、  
前記フレーム同期回路からの出力信号と同期検出結果に基づいてオーバーヘッドの終端処理を行いオーバーヘッドの管理情報とユーザ情報を出力するオーバーヘッド終端部と、  
前記オーバーヘッド終端部からのユーザ情報と前記フレーム同期回路からの同期検出結果に基づいてオーバーヘッドの発生処理を行い送信信号を出力するオーバーヘッド発生部と、  
前記オーバーヘッド発生部が出力した送信信号を電気信号から光信号に変換する電気／光変換部とを有することを

特徴とする中継器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は同期デジタル信号の伝送におけるフレーム同期回路に関し、特に任意の多重化数をもつ多重化信号に対してフレーム同期を確立するフレーム同期回路及びそれを用いたインタフェース装置及び中継器に関する。

【0002】

【従来の技術】例えば特開平4-167722号公報に示す従来例のフレーム同期回路は図11のように、1対M直並列変換部4は受信データ101bに対して1対Mの直並列変換を行いM並列データを出力する。フレームパターンラッチ部22aは、フレームパターン比較部21bからのクリア信号に従い前記1対M直並列変換部4からの並列データをラッチする。フレームカウンタ7はフレームパターン比較部21bからのクリア信号によりリセットされ、前記フレームパターンラッチ部22aからのロード信号により所定値をロードしてカウントを開始する。フレームパターン比較部21bは前記1対M直並列変換部4からの並列データと前記フレームパターンラッチ部22aでラッチされたパターンとの比較を行い、パターンが一致したときに一致信号を出力する。同期保護部8は前記フレームパターン比較部21bからの一致信号を所定の段数保護したのち同期信号103aとして出力する。

【0003】上記従来例のフレーム同期回路は、受信データに対して固定長で任意のフレーム同期パターンを検出しフレーム同期を確立する方式（固定長可変パターンフレーム同期方式）を採る。

【0004】1対M直並列変換部4は図11のように、まず受信データ101bに対して1対Mの直並列変換を行いM並列データを出力する。つぎにフレームパターンラッチ部22aは、フレームパターン比較部21bからのクリア信号を受けたとき、1対M直並列変換部4からの並列データをラッチするとともに、フレームカウンタ7にロード信号を出力する。フレームカウンタ7はフレームパターン比較部21bからのクリア信号によりリセットされ、前記フレームパターンラッチ部22aからのロード信号により所定値をロードしてカウントを開始し、計数値をフレームパターン比較部21bに出力する。フレームパターン比較部21bは前記フレームカウンタ7からの計数値に従いフレームの先頭を示す計数値で前記1対M直並列変換部4からの並列データと前記フレームパターンラッチ部22aでラッチされたパターンとの比較を行い一致したときに一致信号を出力する。同期保護部8は前記フレームパターン比較部21bからの一致信号を所定の段数保護したのち同期信号103aとして出力する。

【0005】

【発明が解決しようとする課題】上記従来例に示したフレーム同期回路では、フレーム同期パターンのパターン長およびパターン周期を設定する手段を持たないため、比較を行うフレーム同期パターンは固定長かつ固定周期でなければならず、フレーム同期パターンのパターン長およびパターン周期が異なる受信データに対してはフレーム同期をとることが出来ないという問題点があった。

【0006】この発明は、上記のような課題を解決するためになされたものであり、その目的は長さおよび周期が異なるフレーム同期パターンを持つ種々の受信データに対して、フレーム同期パターンを自動的に設定してフレーム同期を確立できるフレーム同期回路及びそれを用いたインタフェース装置及び中継器を提供することである。

【0007】

【課題を解決するための手段】第1の発明に係わるフレーム同期回路は、受信信号中のフレーム同期パターンから多重化信号の多重化数を判定する多重化数判定手段と、前記受信信号に対して、前記多重化数判定手段からの判定結果に従って多重化数nに対応して決まるフレーム同期パターンを検出する可変フレーム同期パターン検出手段と、フレーム同期パターン検出結果と多重化数判定結果とに基づいてフレーム位相を確定し出力信号のフレーム同期を確立する同期化手段とを有するものである。

【0008】第2の発明に係わるフレーム同期回路は、多重化信号を受信し1対Mに直並列変換してM並列信号として出力する1対M直並列変換部と、前記1対M直並列変換部からのM並列信号中のフレーム同期パターンから前記多重化信号の多重化数を判定する多重化数判定手段と、前記1対M直並列変換部からのM並列信号に対して前記多重化数判定手段からの判定結果に基づいて多重化数nに対応して決まるフレーム同期パターンを検出する可変フレーム同期パターン検出手段と、フレーム同期パターン検出結果と多重化数判定結果に基づいて前記M並列信号の信号列を入れ替えて位相を制御しフレーム同期を確立する信号列入替部とを有するものである。

【0009】第3の発明に係わるフレーム同期回路は、多重化信号を受信し1対Mに直並列変換してM並列信号として出力する1対M直並列変換部と、前記1対M直並列変換部からのM並列信号中のフレーム同期パターンから前記多重化信号の多重化数を判定する多重化数判定手段と、前記1対M直並列変換部からのM並列信号に対して前記多重化数判定手段からの判定結果に基づいて多重化数nに対応して決まるフレーム同期パターンを検出する可変フレーム同期パターン検出手段と、そのフレーム同期パターン検出結果と前記多重化数判定手段の多重化数判定結果とに基づいて前記1対M直並列変換部の位相をシフトしM並列信号の位相を制御してフレーム同期を確立するシフト制御手段とを有するものである。

【0010】第4の発明に係わるフレーム同期回路は、前記多重化数判定手段が、多重化信号中にあるフレーム同期パターンのパターン長を検出するフレーム同期パターン長検出部と、その検出したフレーム同期パターンのパターン長に基づいて受信信号の多重化数を判定する多重化数判定部とを有するものである。

【0011】第5の発明に係わるフレーム同期回路は、前記多重化数判定手段が、多重化信号中にあるフレーム同期パターンのパターン発生周期を検出するフレーム同期パターン発生周期検出部と、その検出したフレーム同期パターンのパターン発生周期に基づいて受信信号の多重化数を判定する多重化数判定部とを有するものである。

【0012】第6の発明に係わるインタフェース装置は、送信装置が、送信側の位相に同期して前記多重化信号の管理情報領域であるオーバーヘッドの発生処理をした送信信号を出力するオーバーヘッド発生部と、前記オーバーヘッド発生部が出力した送信信号を電気信号から光信号に変換する電気／光変換部とを有し、受信装置が、受信した光信号を電気信号に変換する光／電気変換部と、前記光／電気変換部が電気信号に変換した受信信号の多重化数を判定し自動的にフレーム同期を確立する請求項1～5のいずれかに記載のフレーム同期回路と、前記フレーム同期回路からの出力信号と同期検出結果に基づいてオーバーヘッドの終端処理を行うオーバーヘッド終端部とを有するものである。

【0013】第7の発明に係わる中継器は、受信した光信号を電気信号に変換する光／電気変換部と、前記光／電気変換部が電気信号に変換した受信信号の多重化数を判定しフレーム同期を確立し出力信号と同期検出結果を出力する請求項1～5のいずれかに記載のフレーム同期回路と、前記フレーム同期回路からの出力信号と同期検出結果に基づいてオーバーヘッドの終端処理を行いオーバーヘッドの管理情報とユーザ情報を出力するオーバーヘッド終端部と、前記オーバーヘッド終端部からのユーザ情報と前記フレーム同期回路からの同期検出結果に基づいてオーバーヘッドの発生処理を行い送信信号を出力するオーバーヘッド発生部と、前記オーバーヘッド発生部が出力した送信信号を電気信号から光信号に変換する電気／光変換部とを有するものである。

【0014】

【発明の実施の形態】

実施の形態1. 図1は本発明のフレーム同期回路の基本構成を示す図である。図において、多重化数判定手段1は、受信データ101に対してデータ中のフレーム同期パターンより受信データ101の多重化数を判定し、判定結果を可変フレーム同期パターン検出手段2および同期化手段3へ送出する。可変フレーム同期パターン検出手段2は、多重化数判定結果に従って多重化数に対応するフレーム同期パターンを設定するとともに受信データ

から該フレーム同期パターンを検出して検出結果を同期化手段3に出力する。同期化手段3はフレーム同期パターン検出結果および多重化数判定結果に従いフレーム位相を確定し出力データ102のフレーム同期を確立する。

【0015】上記のフレーム同期回路は、受信データに対し多重化数の判定を行い、さらに多重化数に対応するフレーム同期パターンを検出して、異なるフレーム同期パターンを持つ受信データに対してフレーム同期を確立する方式(可変パターンフレーム同期方式)を採用。図2は本実施の形態によるフレーム同期回路を示す図である。図において多重化数判定手段1はフレーム同期パターン長検出部11と多重化数判定部12により構成されており、データの多重化数に対応しているフレーム同期パターンのパターン長を検出することによって多重化数を判定する。

【0016】図2においてまずフレーム同期パターン長検出部11は、受信データに対して多重化数nに対応するフレーム同期パターンのパターン長を検出してパターン長検出結果を出力する。多重化数判定部12は、フレーム同期パターン長検出部11からのパターン長検出結果から受信データ101の多重化数を判定し、その判定結果を可変フレーム同期パターン検出手段2および同期化手段3に出力する。可変フレーム同期パターン検出手段2は、まず多重化数判定手段1で多重化数が判定されると比較パターン設定部22ではその多重化数に対応した比較パターンを選択して設定する。つぎにパターン比較部21で比較パターン設定部22からの比較パターンと受信データパターンとを比較することにより多重化数に対応しているフレーム同期パターンを検出する。

【0017】さらに、同期化手段3は、フレーム同期パターン検出結果と多重化数判定結果とに従いフレーム位相を確定しフレームの先頭位置を示す同期信号103を出力することにより出力データ102のフレーム同期を確立する。上記例は図2のように、まず多重化数nの受信データに対し多重化数判定手段1は、フレーム同期パターン長検出部11で受信データ中のフレーム同期パターン長を検出し多重化数判定部12で多重化数を判定する。つぎに可変フレーム同期パターン検出手段2は、比較パターン設定部22で多重化数判定結果に従ってフレーム同期パターンを選択設定し、パターン比較部21で受信データ中のフレーム同期パターンを検出し、さらに同期化手段3でフレーム同期パターン検出結果と多重化数判定結果とに従いフレーム位相を確定し同期信号103を出力することによりフレーム同期を確立する。ここでフレーム同期パターンのパターン長は多重化数nに対応しているから、長さが異なるフレーム同期パターンを持つ受信データに対してフレーム同期パターンを自動的に設定することにより、共通の回路でフレーム同期を確立することができる。

【0018】次にこの実施の形態の具体例について図2、図3を用いて説明する。ここでは具体例として、標準化機関であるITU-TおよびTTCにおいて標準化された同期デジタルハイアラキ(SDH: Synchronous Digital Hierarchy)に準拠した多重化信号に本フレーム同期回路を適用する場合の多重化数判定手段1および可変フレーム同期パターン検出手段2の動作について説明する。図3(a)はSDHに準拠したSTM(Synchronous Transport Module)フレームフォーマットを示す図、図3(b)は異なる多重化数を持つSTMフレーム信号のフレーム先頭部分のフレーム同期パターンを示す図である。図3においてSTM-0信号(STM Level 0)は最低次の多重化単位として規定されており、STM-1信号の3分の1の伝送容量を持つ伝送フレームである。またSMT-N(N=4, 16, 64)信号はSTM-1を基本多重化単位としてNチャンネル多重化した構成の信号である。

【0019】STMフレーム信号では管理情報領域であるオーバーヘッドと呼ばれる部分にフレーム同期パターンとしてA1A2バイトが用意されており、同期特性を損なわずにフレーム同期を確立するためには、STM-0信号ではフレーム同期パターンは'A1A2'の2バイトであり、STM-1~N信号では'A1A1A2A2'の4バイトとなる。これより多重化数によって検出するフレーム同期パターンは長さが異なるパターンとなる。例えば図2に示すフレーム同期回路がSTM-0信号を受信した場合には、フレーム同期パターン長検出部11がA1, A2の2バイトの長さを検出してこれより多重化数判定部12は受信データがSTM-0信号であることを識別し、比較パターン設定部22で'A1A2'の2バイトを同期パターンとして設定する。

【0020】また、例えば図2に示すフレーム同期回路がSTM-1信号を受信した場合には、フレーム同期パターン長検出部11がA1, A2が続く6バイトの長さを検出してこれより多重化数判定部12は受信データがSTM-1信号であることを識別し、比較パターン設定部22で'A1A1A2A2'の4バイトを同期パターンとして設定する。上記のようにして長さが異なるフレーム同期パターンを持つ受信データに対してもフレーム同期パターンを自動的に設定することにより、共通の回路でフレーム同期を確立することが可能となる。また、上記例において、具体例としてSTMフレーム信号を用いる場合について説明したが、受信する信号はSTMフレーム信号以外の場合であっても構わない。

【0021】つぎに図4を用いてフレーム同期パターン長検出部11および多重化数判定部12の動作について説明する。図3におけるSTM-0を多重化数1のデータと考えるとSTM-1は多重化数3のデータと考えることができる。まず受信データとしてSTM-0を受信した場合には、図4(a)に示すようにフレーム同期パ

ターン長検出部11は2バイトのフレーム同期用バイトを検出して2バイト分の長さを持つパターン長検出パルスを出力する。つぎに多重化数判定部12では例えばカウンタによってパターン長検出パルスが出力された時点でカウンタ値1をロードしてカウンタを開始し、パターン長検出パルスが出力される間だけバイト数をカウントし、そのカウンタ値が2であることから受信データの多重化数が1であることを判定して判定結果を出力する。また、受信データとしてSTM-1を受信した場合には、図4(b)に示すようにフレーム同期パターン長検出部11は6バイトのフレーム同期用バイトを検出して6バイト分の長さのパターン長検出パルスを出力する。つぎに多重化数判定部12では多重化数1の場合と同様に同期パターンのバイト数として6までカウントし、この値から多重化数が3であることを判定して判定結果を出力する。上記のようにしてパターン長が異なるフレーム同期パターンを持つ受信データに対してもフレーム同期パターンを自動的に設定することにより、共通の回路でフレーム同期を確立できる。

【0022】実施の形態2。実施の形態1で多重化数判定手段1は、フレーム同期パターン長検出部11と多重化数判定部12とを備え多重化数に対応するフレーム同期パターンのパターン長を検出することにより多重化数を判定するとして説明したが、本実施の形態は図5のように、フレーム同期パターン発生周期検出部13を備え多重化数に対応するフレーム同期パターンの発生周期を検出して多重化数を判定するものである。

【0023】図5において、同期化手段3、可変フレーム同期パターン検出手段2は上記実施の形態1の図2に対応し同様に動作する。

【0024】多重化数判定手段1は、まずフレーム同期パターン発生周期検出部13で受信データに対して多重化数nに対応するフレーム同期パターンの発生周期を検出しその検出結果を出力する。つぎに多重化数判定部12aは、フレーム同期パターン発生周期検出部13からの検出結果信号から受信データ101の多重化数を判定し、その判定結果を可変フレーム同期パターン検出手段2および同期化手段3に出力する。

【0025】つぎに図6を用いて同期パターン発生周期検出部13および多重化数判定部12の動作について説明する。受信データとしてSTM-0またはSTM-1を受信する場合について考えると、フレーム同期パターンは図6(a)に示すように多重化数1の時には2バイト、多重化数3の時には6バイトとなる。ここでA1バイトとA2バイトの境目の2バイト(A1A2)については多重化数に関わらずフレーム同期パターン中に存在することになる。同期パターン発生周期検出部13ではこの2バイトのパターンを検出してフレーム同期パターンの周期を検出する。例えば受信データとしてSTM-1を受信した場合には、図6(b)に示すようにまず同期パター

ン発生周期検出部13で6バイトのフレーム同期用バイト中にあるA1A2の2バイトを検出して周期検出パルスを出力する。つぎに多重化数判定部12では、例えばカウンタによって周期検出パルスが出力された時点でカウント値1をロードしてカウントを開始し、次の周期検出パルスが出力されるまでバイト数をカウントし続け、ロードがかかる直前のカウント値kより受信データの多重化数を判定して判定結果を出力する。

【0026】上記のようにして発生周期が異なるフレーム同期パターンを持つ受信データに対してもフレーム同期パターンを自動的に設定することにより、共通の回路でフレーム同期を確立できる。

【0027】実施の形態3、実施の形態1および2では、受信データをシリアル信号のままでフレーム同期パターンを検出して同期化処理を行う場合で説明したが、本実施の形態では図7のように、1対M直並列変換部4を備え1対M直並列変換したM並列データに対してフレーム同期パターンを検出し、また同期化手段3は、信号列入替部3aで構成し前記M並列データの信号列を入れ替えることにより出力データ102のフレーム位相を制御するものである。

【0028】図7において多重化数判定手段1、比較パターン設定部22は上記実施の形態1の図2または上記実施の形態2の図5に対応し同様に動作する。1対M直並列変換部4は、受信データ101に対し1対Mの直並列変換を行いM並列データを出力する。可変フレーム同期パターン検出手段2aは、パターン比較部21aで比較パターン設定部22からの比較パターンと前記M並列データパターンとを比較することにより多重化数に対応しているフレーム同期パターンを検出する。信号列入替部3aは、フレーム同期パターン検出結果と多重化数判定結果とに従いフレーム位相を確定し前記M並列データの信号列を入れ替えることにより出力データ102のフレーム位相を制御してフレーム同期を確立する。以上のように、フレーム同期パターン検出および多重化数判定を受信データ101の1/Mの速度で行うのでタイミング管理が容易となる。

【0029】実施の形態4、実施の形態3で同期化手段3は、信号列入替部3aにより構成されM並列データの信号列を入れ替えることによりフレーム位相を制御するとして説明したが、本実施の形態は図8のように、シフト制御部3bで構成し1対M直並列変換の位相をシフトすることにより出力データ102のフレーム位相を制御するものである。図8において多重化数判定手段1、可変フレーム同期パターン検出手段2は上記実施の形態3の図7に対応し同様に動作する。

【0030】シフト制御部3bは、可変フレーム同期パターン検出手段2からの検出結果と多重化数判定手段1からの判定結果によりM並列データのフレーム位相ずれの量に対応したシフトパルスを1対M直並列変換部4に

出力する。つぎに1対M直並列変換部4は、前記シフトパルスに従い直並列変換位相をシフトして出力データ102のフレーム位相を制御しフレーム同期を確立する。以上のように同期化処理の際にM並列データを扱う必要が無い場合ハードウェア規模を小さくできる。

【0031】実施の形態5、実施の形態4ではフレーム同期回路単独での動作について説明したが、図9のように、上記フレーム同期回路をインタフェース装置に適用し、送信装置5においては、送信側の位相に同期して多重化信号の管理情報であるオーバーヘッドの発生処理を行うOH発生部51と、送信信号の電気/光変換を行うE/O変換部52とを備え、受信装置6においては、受信信号の光/電気変換を行うO/E変換部61と、受信信号の多重化数に関わらずフレーム同期を確立するフレーム同期回路62と、フレーム同期回路62からの同期検出結果に従いオーバーヘッドの終端処理を行うOH終端部63とを備えるインタフェース装置を構成しても構わない。伝送する信号の多重化数が変わった場合でもO/E、E/O変換部のみ変えれば良いので装置のアップグレードが容易になる。

【0032】図9の送信装置5において、OH発生部51は、まず多重化信号の管理情報であるオーバーヘッドパターンを持つオーバーヘッドバイトを発生する。次に送信装置5内部でのフレーム位相に同期して、入力された多重化信号の特定位置にオーバーヘッドバイトを付加して伝送フレームを構成し、送信電気信号として出力する。E/O変換部52は、OH発生部51からの送信電気信号に対して電気/光変換を行い送信光信号を出力する。受信装置6においては、O/E変換部61は、受信した受信光信号に対して光/電気変換を行い受信電気信号を出力する。フレーム同期回路62は、受信電気信号から信号の多重化数を判定し、多重化数に対応したフレーム同期パターンを検出してフレーム同期を確立し、フレーム同期がとれた多重化信号と同期信号103を出力する。OH終端部63は、フレーム同期回路62からの多重化信号から多重化信号中の特定位置に格納されているオーバーヘッドバイトをフレーム位相に同期して検出することによりオーバーヘッドを終端して、検出されたオーバーヘッド情報602をデータと共に出力する。

【0033】実施の形態6、また、実施の形態5では上記フレーム同期回路をインタフェース装置に適用する場合を説明したが、本実施の形態では図10のように、中継器により受信データ101aのフレーム同期をとり各種オーバーヘッド処理を行った後に再びフレームを再生して送信データ104を中継するものである。

【0034】図10においてO/E変換部61、フレーム同期回路62、OH終端部63、E/O変換部52は図9に示したのに対応し、同様に動作する。OH発生部51は、OH終端部63からのオーバーヘッド情報602とフレーム同期回路62からの多重化数判定結果60



1から、多重化信号に対応するオーバーヘッドパターンを持つオーバーヘッドバイトを発生し、次にフレーム同期回路62からの同期信号103が示すフレーム位相に同期して、入力された多重化信号の特定位置にオーバーヘッドバイトを付加して伝送フレームを構成し、送信電気信号としてE/O変換部52に出力する。ここで中継器の構成は図10のインタフェース装置の場合で示した各構成要素を一つの装置内に収容した構成となり、OH終端部63とOH発生部51は同一のフレーム位相で動作することになる。本構成に上記フレーム同期回路を適用することにより、伝送信号の多重化数が変わった場合でもO/E、E/O変換部のみ変えれば良いので装置のアップグレードが容易になる。

【0035】上記実施形態1～6においては、特に述べなかったが前記フレーム同期回路を半導体基板上に集積して、LSI化しても構わない。受信信号の多重化数に関わらずハードウェアを共用することができるので装置の小型化が可能となる。または装置のアップグレードが容易になる。

【0036】

【発明の効果】以上述べたように、本発明に係るフレーム同期回路およびインタフェース装置および中継器では、上述した各種の構成を採用するので、以下に述べる効果を奏する。

【0037】第1の発明によれば、多重化数判定手段が、受信データの多重化数を判定し、可変フレーム同期パターン検出手段が、比較するパターンを多重化数に対応して自動的に設定することにより、異なるフレーム同期パターンを持つ受信データに対して自動的にフレーム同期を確立することができる。

【0038】第2の発明によれば、フレーム同期パターン検出および多重化数判定を受信データの信号速度の1/Mの速度で行うことにより各処理のタイミング管理が容易となる。

【0039】第3の発明によれば、同期化手段をシフト制御部で構成し1対M直並列変換の位相をシフトすることにより出力データのフレーム位相を制御するので同期化処理の際にM並列データを扱う必要が無くハードウェア規模を小さくすることができる。

【0040】第4の発明によれば、フレーム同期パターン長検出部が、フレーム同期パターン長を検出し、多重化数判定部がフレーム同期パターン長から多重化数を判定する。つぎに可変フレーム同期パターン検出手段が、比較するパターンを多重化数に対応して自動的に設定することにより、長さが異なるフレーム同期パターンを持つ受信データに対して自動的にフレーム同期を確立することができる。

【0041】第5の発明によれば、フレーム同期パターン発生周期検出部が、フレーム同期パターンの発生周期を検出し、多重化数判定部がフレーム同期パターン発生

周期から多重化数を判定する。つぎに可変フレーム同期パターン検出手段が、比較するフレーム同期パターンを多重化数に対応して自動的に設定することにより、異なる周期のフレーム同期パターンを持つ受信データに対して自動的にフレーム同期を確立することができる。

【0042】第6の発明によれば、上記フレーム同期回路をインタフェース装置に適用することにより、伝送する信号の多重化数が変わった場合でもO/E、E/O変換部のみ変えれば良いので装置のアップグレードが容易になる。

【0043】第7の発明によれば、上記フレーム同期回路を中継器に適用することにより、伝送する信号の多重化数が変わった場合でもO/E、E/O変換部のみ変えれば良いので装置のアップグレードが容易になる。

【図面の簡単な説明】

【図1】 本発明のフレーム同期回路の基本構成を示す図である。

【図2】 本発明の実施の形態1によるフレーム同期回路のブロック図である。

【図3】 多重化信号の一例を示す図である。

【図4】 STM-0、STM-1のフレーム先頭部を示す図である。

【図5】 本発明の実施の形態2によるフレーム同期回路のブロック図である。

【図6】 本発明の実施の形態2によるフレーム同期の動作を説明する図である。

【図7】 本発明の実施の形態3によるフレーム同期回路のブロック図である。

【図8】 本発明の実施の形態4によるフレーム同期回路のブロック図である。

【図9】 本発明の実施の形態5によるインタフェース装置のブロック図である。

【図10】 本発明の実施の形態6による中継器を表すブロック図である。

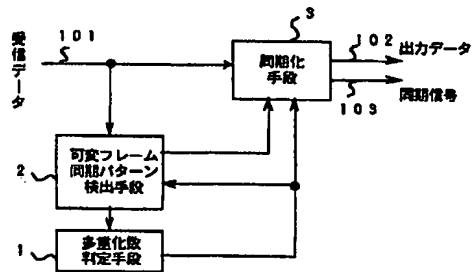
【図11】 従来のフレーム同期回路を示すブロック図である。

【符号の説明】

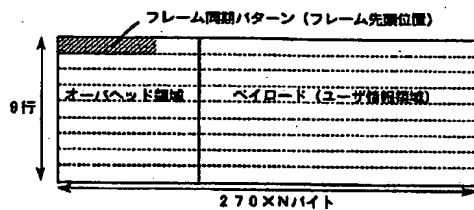
- 1 多重化数判定手段
- 2、2a 可変フレーム同期パターン検出手段
- 3 同期化手段
- 3a 信号列入替部
- 3b シフト制御部
- 4、4a 1対M直並列変換部
- 5 送信装置
- 6 受信装置
- 7 フレームカウンタ
- 8 同期保護部
- 11 フレーム同期パターン長検出部
- 12、12a 多重化数判定部
- 13 フレーム同期パターン発生周期検出部

- 21、21a パターン比較部
- 21b フレームパターン比較部
- 22 比較パターン設定部
- 22a フレームパターンラッチ部
- 51 OH発生部
- 52 E/O変換部
- 61 O/E変換部
- 62 フレーム同期回路

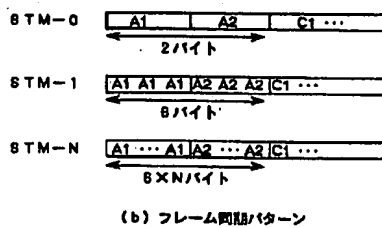
【図1】



【図3】



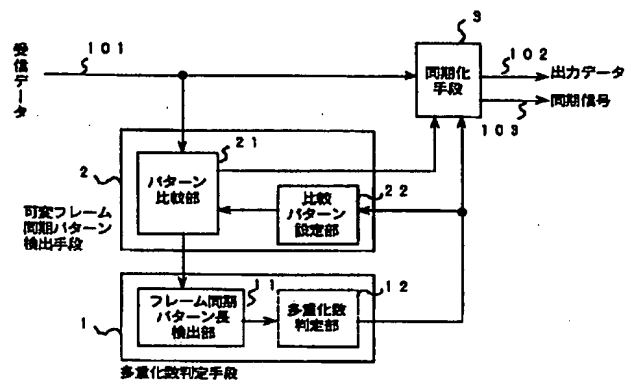
(a) STMフレームフォーマット



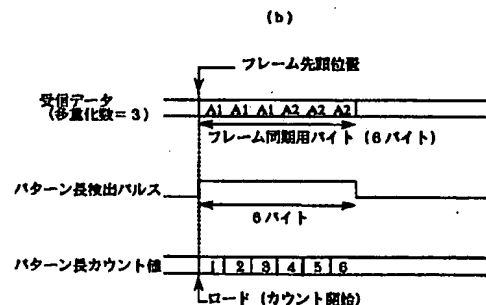
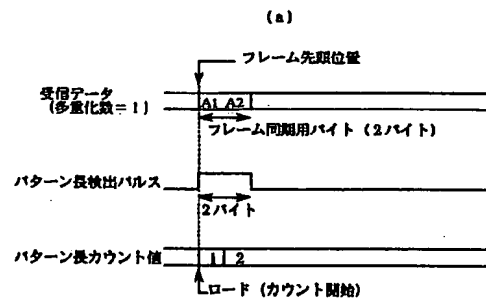
(b) フレーム同期パターン

- 63 OH終端部
- 101、101a、101b 受信データ
- 102 出力データ
- 103、103a 同期信号
- 104 送信データ
- 601 多重化数判定結果
- 602 オーバヘッド情報

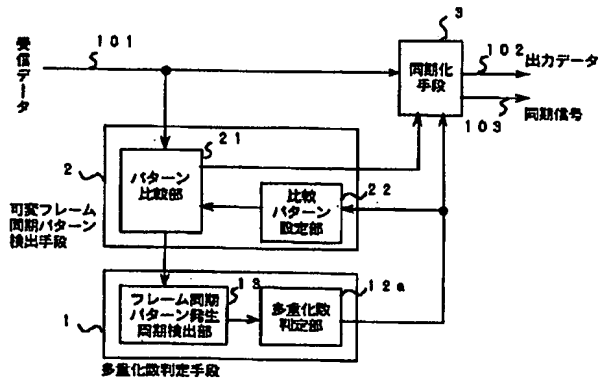
【図2】



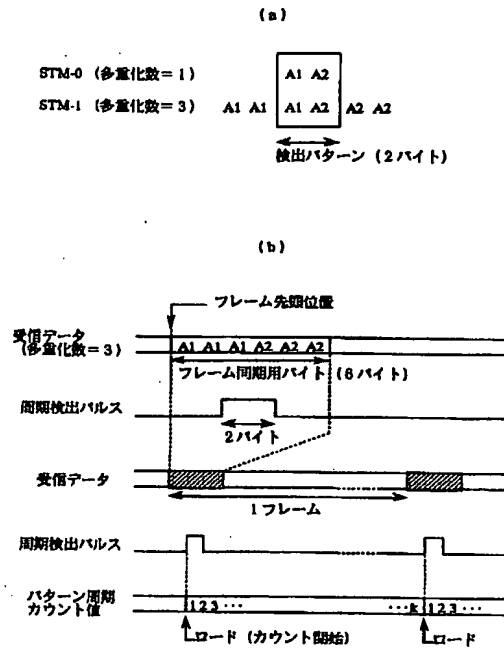
【図4】



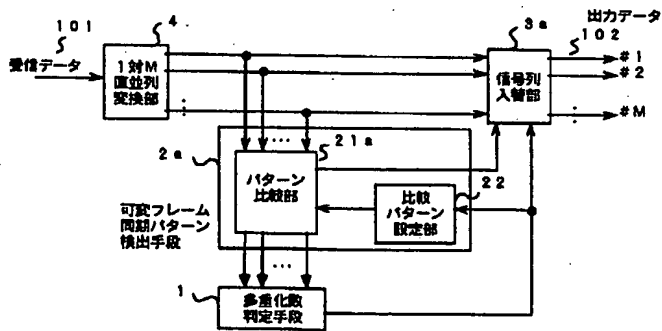
【図5】



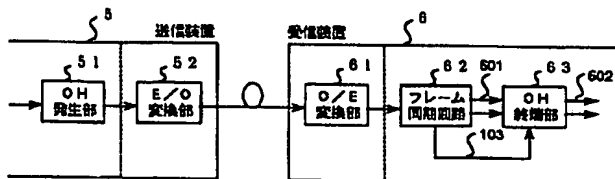
【図6】



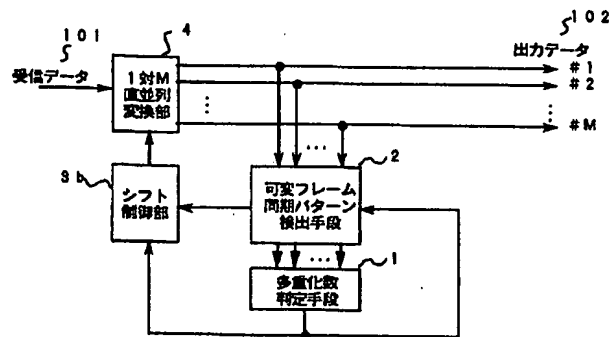
【図7】



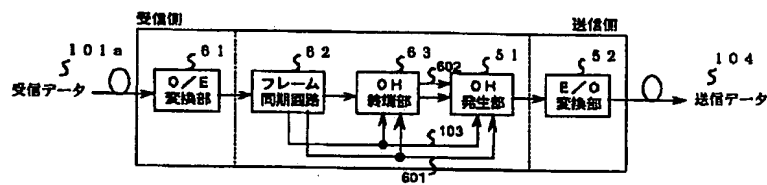
【図9】



【図8】



【図10】



【図11】

